

Délivrable : D2.2

Titre : Définition d'un nouveau modèle fonctionnel et temporel pour la vérification formelle de circuits mémoires

Auteurs : P. Bazargan Sabet, P. Renault

Version : 1

Date : 12 Octobre 2007

Définition d'un nouveau modèle fonctionnel et temporel pour la vérification formelle de circuits mémoires

Pirouz Bazargan Sabet, Patricia Renault

1 Description du document

Version préliminaire du deliverable D2.2, fournie par le LIP6.

2 Introduction

Dans le document D2.1, nous avons passé en revue les techniques utilisées pour l'abstraction fonctionnelle et temporelle des circuits numériques.

Ce document décrit dans les grandes lignes, les méthodes que nous comptons mettre en œuvre dans ce projet.

La conception d'un circuit mémoire embarqué passe par deux grandes étapes.

Dans un premier temps, le concepteur réalise un circuit critique. Ce circuit contient les chemins que le concepteur a identifié comme étant critiques du point de vue temporel dans le circuit mémoire complète (avant la réalisation effective de celui-ci). Ces chemins critiques passent par un petit nombre de points mémoires. Les autres points mémoires, ne sont pas présents dans ce circuit et sont représentés par des éléments parasites (en général par des capacités). Cependant, du point de vue topologique, ce circuit a les mêmes caractéristiques que la mémoire complète. Autrement dit, les matrices contenant les points mémoires du circuit critiques ont le même gabarit que dans la mémoire complète et les points mémoires critiques sont placés à leur emplacement réel. Le circuit critique permet de vérifier que la mémoire respecte les spécifications temporelles imposées dans son cahier des charges. En particulier, le concepteur peut ajuster sur ce circuit le dimensionnement des transistors qui composent les portes afin d'atteindre ses objectifs. Pour ce faire, il effectue des simulations électriques pour identifier les problèmes, puis corrige les dimensions des portes et ainsi de suite.

Une fois le circuit critique validé, le concepteur peut réaliser la mémoire complète. En réalité, il ne s'agit pas de réaliser une mémoire mais un ensemble de mémoires avec divers facteurs de forme et différentes capacités. En principe, la mémoire complète respecte, par construction, les spécifications temporelles. Cependant, une série de simulation (en général un petit nombre) sont effectuées pour conforter la validation.

Notre objectif est d'automatiser la vérification des spécifications temporelles du circuit critique.

3 Abstraction fonctionnelle

Les circuits mémoires qui font l'objet de cette étude comportent différents types d'éléments.

Les portes logiques classiques sont utilisées pour réaliser les parties de contrôle du circuit. Ces portes ont un comportement numérique et sont en général des portes CMOS duales. Les techniques d'abstraction formelles sont capables d'identifier efficacement ces portes et de leur associer un comportement logique.

Les points mémoires sont construits avec des transistors de passage. Ces points doivent comporter un nombre très restreint de transistors. En effet, la taille de ces points est un facteur déterminant pour la surface de la mémoire. De ce fait, dans la phase d'écriture, la valeur inscrite dans le point mémoire est modifiée à travers un conflit électrique. L'utilisation des techniques d'abstraction formelles ne permet pas l'identification de ces points. En fait, l'analyse formelle identifie ces points comme des portes où les réseaux N et P sont conflictuels. Une analyse logique n'est pas capable d'identifier la fonction de ces portes. Une analyse électrique est nécessaire pour confirmer que, lors de l'écriture, le conflit électrique se solde toujours par la modification de la valeur enregistrée dans le point mémoire.

Enfin, les circuits mémoires contiennent des éléments qui possèdent un comportement plus ou moins analogique. C'est le cas, par exemple, des Sense Amplifiers qui permettent d'accélérer la lecture dans les mémoires avec auto-timing. Des mémoires plus complexes peuvent contenir des dispositifs ayant un comportement profondément analogique. Par exemple pour limiter la consommation des circuits on peut leur adjoindre des dispositifs pour modifier la tension d'alimentation. Les techniques d'abstraction fonctionnelle ne permettent pas de reconnaître ces éléments.

Nous proposons donc d'utiliser un moteur d'abstraction fonctionnelle combinant deux techniques : une méthode formelle pour reconnaître les portes CMOS et une méthode mettant en œuvre la reconnaissance de formes pour les éléments mémoire et les dispositifs analogiques.

4 Abstraction temporelle

Nous avons vu que dans le document D2.1 que l'abstraction temporelle comporte deux aspects.

Le modèle d'abstraction temporel décrit le comportement de la porte du point de vue temporelle.

Le modèle temporel détermine comment les caractéristiques temporelles du modèle d'abstraction sont obtenues.

4.1 Modèles d'abstraction

Les modèles d'abstraction temporelle reposent sur une représentation des portes sous une forme graphique : les STG (State Transition Graph).

Nous avons vu qu'il existe trois types de STG pour modéliser une porte.

Le modèle dit de l'inverseur généralisé est le plus simple. Il associe un délai à la transition montante et un délai à la transition descendante de la sortie d'une porte indépendamment de l'entrée qui a provoqué cette transition. Ce modèle ne permet pas d'estimer de manière réaliste les chemins critiques.

Le modèle Entrée-Sortie est plus précis. Une STG est associée à chaque couple Entrée-Sortie. Les délais des transitions de la sortie dépendent donc de l'entrée qui était à l'origine de cette transition. Même si ce modèle est plus riche que le modèle précédent, l'analyse temporelle d'un ensemble de portes modélisé par ce type de STG peut être faussée par la présence de corrélations entre les signaux.

Le modèle le plus précis est le modèle STG complet qui associe un délai à chaque transition d'une configuration des entrées qui provoque une transition de la sortie. Ce modèle permet de prendre en compte la corrélation entre les signaux lors de l'analyse temporelle. Cependant la technique d'analyse temporelle que nous envisageons n'accepte pas la transition simultanée de plusieurs signaux à l'entrée d'une porte. Le modèle STG complet est donc trop riche pour l'analyse que nous envisageons.

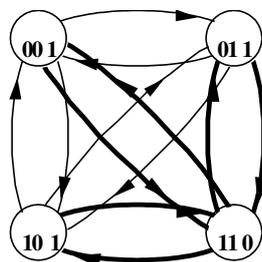


Fig 4.1 : STG complet d'un Nand à 2 entrées. Les transitions en gras sont caractérisées

Nous proposons, de représenter chaque porte, du point de vue temporel, à l'aide d'un modèle à mi-chemin entre le modèle STG complet et le modèle STG Entrée-Sortie.

Dans ce modèle, nous associons un délai à un changement d'une configuration des entrées qui provoque la transition de la sortie. Cependant, seuls les changements entre configurations voisines (au sens de la distance de Hamming) sont caractérisés.

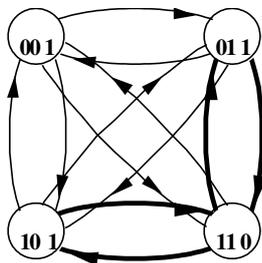


Fig 4.2 : STG proposé pour un Nand à 2 entrées. Les transitions entre les états voisins entraînant une transition de la sortie sont caractérisées (les transitions en gras)

4.2 Modèles temporels

Pour estimer les caractéristiques temporelles des portes numériques, on peut envisager d'utiliser un modèle analytique. Dans ce cas, il faut trouver un compromis acceptable entre la précision du modèle de courant du transistor et la possibilité de résoudre analytiquement le système d'équations différentielles qui découle de la modélisation du transistor. L'intérêt de cette technique réside essentiellement dans un gain de performance en temps de calcul.

Cependant deux remarques nous poussent à considérer une solution alternative : Evaluer les caractéristiques temporelles par des simulations électriques. Premièrement, la mémoire contient certains éléments qui présentent un comportement analogique. Les caractéristiques temporelles de ces éléments ne peuvent être obtenues de manière précise que par une simulation électrique. Deuxièmement, nous nous sommes restreint à appliquer l'abstraction fonctionnelle et temporelle au circuit critique. Or, comme on vient de le signaler, ce circuit ne comporte qu'un petit nombre d'éléments. Par conséquent, l'accélération dans le temps de calcul apportée par un modèle analytique ne représente pas un gain significatif.